

DATA PROCESSING CIRCUIT

Publication number: JP2272970 (A)

Publication date: 1990-11-07

Inventor(s): SHIROTA NORIHISA +

Applicant(s): SONY CORP +

Classification:

- International: H04N1/415; H04N 7/30; H04N1/416; H04N 7/30; (IPC1-7): H04N1/415; H04N7/133

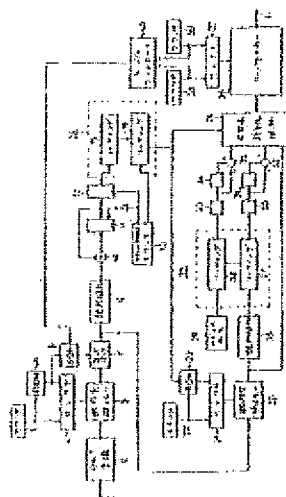
- European:

Application number: JP19890094354 1989041 4

Priority number(s): JP19890094354 1989041 4

Abstract of JP 2272970 (A)

PURPOSE: To reduce a transmission data quantity by dividing a block for conversion encoding into small blocks and executing a sorting in the unit of the small block. **CONSTITUTION:** The circuit is equipped with a circuit 3 to divide plural coefficient data into plural second blocks smaller than first blocks, level detecting circuits 10 and 11 to detect level signals for second blocks, a block sorting circuit 14 to rearrange plural second blocks in the order of the magnitude of the level signal, a selecting circuit to select the coefficient data of the prescribed number of the second blocks among the coefficient data to belong to the rearranged second blocks, and an encoding circuit 24 to encode a selecting circuit output data. The coefficient data generated by the conversion encoding are divided into plural blocks smaller than the former blocks, the sorting is executed in the unit of the divided block, and the sorting is executed by a sample unit. Thus, a efficient data compression can be executed.



Data supplied from the *espacenet* database — Worldwide

⑫ 公開特許公報(A) 平2-272970

⑤ Int. Cl.³H 04 N 1/415
7/133

識別記号

Z

庁内整理番号

7060-5C
6957-5C

⑬ 公開 平成2年(1990)11月7日

審査請求 未請求 請求項の数 1 (全13頁)

⑭ 発明の名称 データ処理回路

⑯ 特 願 平1-94354

⑰ 出 願 平1(1989)4月14日

⑱ 発 明 者 代 田 典 久 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 杉浦 正知

明 細 書

1. 発明の名称

データ処理回路

2. 特許請求の範囲

複数の画素からなる第1のブロックを単位として直交変換して得られた複数の係数データを処理するデータ処理回路において、

上記複数の係数データを上記第1のブロックより小さい複数の第2のブロックに分割する手段と、

上記第2のブロック毎のレベル信号を検出するレベル検出手段と、

複数の上記第2のブロックを上記レベル信号の大きさの順に並びかえるブロックソーティング手段と、

上記ブロックソーティング手段によって並びかえられた第2のブロックに属する係数データのうち所定個数の第2のブロックの係数データを選択する選択手段と、

上記選択手段の出力データを符号化する符号化回路と

を有することを特徴とするデータ処理回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、ディジタル画像信号を2次元コサイン変換(discrete cosine transform)等の2次元変換符号化により符号化することでデータ量を圧縮するデータ処理回路に関する。

(発明の概要)

この発明では、複数の画素からなる第1のブロックを単位として直交変換して得られた複数の係数データを処理するデータ処理回路において、複数の係数データを第1のブロックより小さい複数の第2のブロックに分割し、第2のブロック毎のレベル信号を検出し、複数の第2のブロックをレベル信号の大きさの順に並びかえ、並びかえられた第2のブロックに属する係数データのうち所定個数の第2のブロックの係数データを選択し、選択されたデータを符号化することで、簡単な構成をもって、伝送データの圧縮率を高くすることが

できる。

(従来の技術)

画像信号の冗長度を抑圧するために、所定数の画素からなるブロックに画面を分割し、ブロック毎に原画像信号の特徴と合った変換軸で線形変換を行う変換符号化が知られている。変換符号化としては、アダマール変換、コサイン変換等が知られている。従来のコサイン変換符号化装置は、例えば第15図に示すような構成を有している。

第15図において、81で示す入力端子には、標本化された離散的な画像信号 $f(j, k)$ が供給され、この入力信号がコサイン変換(DCT変換)回路82に供給される。コサイン変換回路82では、2次元コサイン変換がなされる。2次元コサイン変換では、次式で示される処理がなされる。但し、原データは、1ブロックが $(n \times n)$ サンプルの2次元データ $f(j, k)$ ($j, k=0, 1, \dots, n-1$)とする。

$$F(u, v) = \frac{4C(u)C(v)}{n^2} \sum_{j=0}^{n-1} \sum_{k=0}^{n-1} f(j, k)$$

に供給される。可変長符号化回路86では、ランレングス符号化及びハフマン符号化により、所定ビット数のコード信号に変換される。

可変長符号化回路86からのコード信号がバッファメモリ87に供給される。バッファメモリ87は、可変長符号化回路86からのコード信号の伝送レートを伝送路のレートを越えない範囲のレートに変換するために設けられている。バッファメモリ87の入力側のデータレートは、可変のものであるが、バッファメモリ87の出力側のデータレートが略々一定となる。バッファメモリ87からの出力データが端子89に取り出される。バッファメモリ87において、伝送データ量の変動が検出され、検出信号がバッファコントロール回路88に供給される。

バッファコントロール回路88は、再量子化回路84の量子化ステップを制御し、また、ソーティング回路85におけるスレッシュホルディングによって、伝送される係数データが所定のデータ量となるように制御する。スレッシュホルディングは、

$$\times \cos \left\{ \frac{(2j+1)u}{2n} \pi \right\} \cos \left\{ \frac{(2k+1)v}{2n} \pi \right\}$$

$$u, v=0, 1, \dots, n-1$$

$$C(W) = \begin{cases} 1/\sqrt{2} & ; w=0 \\ 1 & ; w=1, 2, \dots, n-1 \end{cases}$$

コサイン変換回路82からの係数値 $F(u, v)$ がブロック走査回路83に供給され、ブロック内の係数データが第16図に示すように、直流成分から高周波成分に向かってジグザグ走査で出力される。第16図で、0, 1, 2, 3, ...と記入した数値は、各データに付随したアドレスと考える。ブロック走査回路83からの係数データが再量子化回路84に供給される。再量子化回路84では、係数データがバッファコントロール回路88からの量子化ステップで量子化される。再量子化回路84の出力信号がソーティング回路85に供給される。ソーティング回路85では、振幅の絶対値の順序で係数データがソーティングされた後、振幅とアドレスの両方が差分される。ソーティング回路85からの差分信号が可変長符号化回路86

絶対値がしきい値より大きい係数データからしきい値を減算する処理である。但し、直流成分の係数データ $F(0, 0)$ は、スレッシュホルディングの対象から除かれる。

上述のようなフィードバック型のバッファリングは、バッファメモリ87がオーバーフローしそうになると、バッファメモリ87への入力データのレートを低下させ、逆に、バッファメモリ87がアンダーフローしそうになると、バッファメモリ87への入力データのレートを上昇させるように、バッファコントロール回路88により量子化ステップ及びしきい値をフィードバック制御している。

(発明が解決しようとする課題)

従来のデータ処理回路では、DCT変換で得られた係数データの出力方式がジグザグ方式の1種類しかない。従って、2次元DCTのスペクトルが集中する位置によっては、振幅によってソーティングされたアドレスの差分値が大きな値を持ち、

この差分値を可変長符号化した場合でも、情報量が十分に減少しない問題があった。

従って、この発明の目的は、変換符号化のためのブロックを小ブロックに分割し、この小ブロックの単位でソーティングを行うことで、伝送データ量の低減が可能なデータ処理回路を提供することにある。

(課題を解決するための手段)

この発明では、複数の画素からなる第1のブロックを単位として直交変換して得られた複数の係数データを処理するデータ処理回路において、

複数の係数データを第1のブロックより小さい複数の第2のブロックに分割する回路3と、

第2のブロック毎のレベル信号を検出するレベル検出回路10、11と、

複数の第2のブロックをレベル信号の大きさの順に並びかえるブロックソーティング回路14と、

ブロックソーティング回路14によって並びかえられた第2のブロックに属する係数データのう

ち所定個数の第2のブロックの係数データを選択する選択回路と、

選択回路の出力データを符号化する符号化回路24とが備えられている。

(作用)

直交変換例えばDCT変換された交流成分の係数データがDCT用のブロックを分割した分割ブロックに分けられる。分割ブロック毎に係数データの累積和が検出され、この累積和の大きさに従って分割ブロックがソーティングされる。分割ブロックの順序で並びかえられた係数データがサンプル単位でソーティングされる。ソーティングされたデータの差分値が可変長符号化で符号化される。分割ブロックのソーティングの処理で、スペクトルエネルギーが集中している位置が決定でき、アドレスの差分値が大きくなることが防止できる。

(実施例)

以下、この発明の実施例について図面を参照して説明する。この説明は、下記の項目に従ってなされる。

- a. 一実施例
- b. ソーティング回路
- c. 他の実施例
- d. 更に他の実施例

a. 一実施例

第1図は、この発明の一実施例を示し、第1図において、1で示す入力端子からコサイン変換(DCT変換)回路2にディジタル画像信号が供給される。DCT変換回路2では、例えば水平方向に8画素、垂直方向に8ラインの(8×8)の2次元ブロック毎にDCT変換がされる。コサイン変換回路2からブロックサイズと対応する(8×8)の係数テーブルが得られる。この係数テーブルが配列変換メモリ3に供給される。

配列変換メモリ3には、セレクト4を介してカウンタ5からの順次変化する書き込みアドレスと

ROM6からの読み出しアドレスとが選択的に供給される。カウンタ5で発生したアドレス信号がROM6に供給され、ROM6からの読み出しアドレスで、配列変換メモリ3から、係数データが元のDCT用ブロックを分割してなる分割ブロックの順序で出力される。

第2図は、DCT用の(8×8)のブロックから形成された分割ブロックを示すもので、第2図において、○で囲んだ数字が係数データの各々と対応するブロック内アドレスを示し、□で囲んだ数字が分割ブロック番号を示す。●で示す直流成分が配列変換メモリ3から最初に出力される。次に、分割ブロックの番号の0から順に係数データが出力される。各分割ブロック内では、ブロック内のアドレスの順序で係数データが配列変換メモリ3から出力される。

配列変換メモリ3からの係数データが重み付け回路7に供給される。重み付け回路7には、ROM8からの重み付け係数が供給される。ROM8には、ROM6で発生した読み出しアドレスとバ

ッファコントローラ40からの情報量制御信号とがアドレスとして供給される。ROM8から読み出された重み付け係数が各係数データに乗算され、伝送情報量が伝送路の容量を超えないように係数データの送信ビット数が制御される。重み付け回路7で、重み付け乗算と共に、非線形再量子化を行うようにしても良い。

重み付け回路7の出力信号が絶対値化回路9と配列変換メモリ20とに供給される。絶対値化回路9で絶対値に変換された係数データが加算回路10に供給される。加算回路10の出力信号がレジスタ11に供給され、レジスタ11の出力信号がレジスタ12に供給されると共に、加算回路10にフィードバックされる。13は、分割ブロックの番号(0~7)を発生するブロック番号カウンタを示し、このカウンタ13の出力信号がレジスタ11に対して、クリア信号として供給されると共に、レジスタ12に対してクロックとして供給される。従って、加算回路10とレジスタ11、12とで累積回路が構成され、レジスタ12には、

分割ブロック毎の係数データの累積和が格納される。

レジスタ12からは、8個の分割ブロックの夫々の累積和が得られ、この累積和の系列とカウンタ13からのブロック番号とが破線で囲んで示すブロックソーティング回路14のソーティング回路15及び16に夫々供給される。ソーティング回路15では、大きい順序に8個の分割ブロックの累積和が並びかえられる。この累積和の大きい順序に分割ブロックの番号がソーティング回路16により並びかえられる。ソーティングされた分割ブロック番号がROM23及び可変長符号化回路24に供給される。

重み付け回路7の出力信号が供給される配列変換メモリ20に対して、セレクト21を介してアドレスが供給される。セレクト21には、アドレスカウンタ22からの書き込みアドレスとROM23からの読み出しアドレスとが供給される。ROM23に対して、ソーティング回路16からソーティングされた分割ブロックの番号のデータが

供給される。配列変換メモリ20への係数データの書き込みは、順次なされ、その読み出しが累積和が大きいブロックの順序でなされる。また、配列変換メモリ20からは、DCT用ブロックに含まれる8個の分割ブロックの中で、累積和が大きい5個のブロックの係数データのみが読み出され、累積和が小さい3個のブロックの係数データは、伝送データから除外される。このスレッショルド処理で情報量が圧縮される。

配列変換メモリ20から読み出された係数データの中の直流成分が可変長符号化回路24に供給され、交流成分が絶対値化回路25に供給される。絶対値に変換された係数データの交流成分が破線で囲んで示すサンプルソーティング回路26のソーティング回路27に供給される。29で示すアドレス発生回路が設けられ、発生したアドレスがソーティング回路28に供給される。このアドレスは、5個の分割ブロック内に含まれる全ての係数データと対応している。サンプルソーティング回路26において、伝送される5個の分割ブロッ

クの係数データが大きい順に並べられ、また、この係数データに従ってアドレスも並びかえられる。

サンプルソーティング回路26からの係数データがレジスタ30を介してレジスタ31に供給され、減算回路32において、レジスタ31の出力データからレジスタ30の出力データが減算される。従って、減算回路32からは、現在の値と前の値との差分値が発生する。同様に、ソーティング回路28からのアドレスの差分値がレジスタ33、34及び減算回路35により形成される。減算回路32及び35からの差分値が可変長符号化回路24に供給される。

可変長符号化回路24では、可変長符号化と情報付加とがなされる。減算回路32及び35からの差分値は、可変長符号化回路24で符号化されることで情報量が圧縮される。この圧縮された交流成分の係数データと直流成分のデータと付加的コードとが第3図に示すようなフォーマットに変換されてバッファメモリ36に供給される。

第3図は、1個のDCT用ブロックと対応する

伝送データを示す。先頭には、直流成分51が位置し、次にブロックソーティング回路14からのソーティング後の分割ブロックの順序を示すフラグ52(3ビット×5)が付加され、その後に、アドレスの初期値53と係数データの初期値54とが位置し、これらの初期値に続いて可変長符号化されたアドレス及び係数データ55が位置し、最後にデータの区切りを示すコードEOB56が付加されている。

バッファメモリ36には、セクタ37を介してアドレスカウンタ38で形成された書き込みアドレス又は読み出しアドレスカウンタ39で形成された読み出しアドレスが供給される。この書き込みアドレス及び読み出しアドレスがバッファコントローラ40に供給され、両者の値があまり接近し過ぎないように、情報量制御信号がバッファコントローラ40で形成される。この情報量制御信号がROM8に供給され、重み付け回路7に対する重み付け係数がROM8から発生する。バッファメモリ36から出力端子41に読み出された

データが送信される。

b. ソーティング回路

ブロックソーティング回路14或いはサンプルソーティング回路26に適用できるソーティング回路の一例について以下に説明する。理解の容易のために、ソーティングの基本的なフローについて第4図を参照して説明する。第4図では、入力データが($A > B > C > D > E$)の大小関係を有する5個の数値がランダムに入力された場合、例えば(D, B, C, E, A)の順に入力された場合が示されている。また、D1, D2, D3, D4, D5は、経路接続された5個のレジスタを示す。

*ステップ0

入力データが供給される前に、全てのレジスタの内容が0にクリアされる。

*ステップ1

初段のレジスタD1の内容と入力データDとが比較される。ステップ0でレジスタがクリアされ、($D \geq 0$)のために、レジスタD1にDが入力さ

れる。

*ステップ2

レジスタD1の内容(D)とレジスタD2の内容(0)と入力データBとが夫々比較される。

($B \geq D$, $B \geq 0$)であるので、レジスタD1の内容がレジスタD2にシフトされ、入力データBがレジスタD1に入力される。

*ステップ3

レジスタD1の内容(B)、レジスタD2の内容(D)、レジスタD3の内容(0)と入力データCとが夫々比較される。

($C < B$)であるので、レジスタD1の内容は、更新されない。

($B > C \geq D$) (第2の判定)であるので、入力データCがレジスタD2に入力される。

($C \geq D$, $C \geq 0$) (第1の判定)であるので、レジスタD2の内容Dを次段にシフトする。

*ステップ4

レジスタD1の内容(B)、レジスタD2の内容(C)、レジスタD3の内容(D)、レジスタ

D4の内容(0)と入力データEとが夫々比較される。

($E < B$)であるので、レジスタD1の内容が更新されない。

($E < C$) (第3の判定)であるので、レジスタD2の内容が更新されない。

($E < D$)であるので、レジスタD3の内容が更新されない。

($D > E \geq 0$)であるので、入力データEがレジスタD4に入力される。

*ステップ5

レジスタD1の内容(B)、レジスタD2の内容(C)、レジスタD3の内容(D)、レジスタD4の内容(E)、レジスタD5の内容(0)と入力データAとが夫々比較される。

($A \geq B$)であるので、レジスタD1にAが入力される。

($A \geq B$, $A \geq C$)であるので、レジスタD1の内容BがレジスタD2にシフトされる。

($A \geq C$, $A \geq D$)であるので、レジスタD2の

内容CがレジスタD3にシフトされる。

($A \geq D$ 、 $A \geq E$)であるので、レジスタD3の内容DがレジスタD4にシフトされる。

($A \geq E$ 、 $A \geq 0$)であるので、レジスタD4の内容EがレジスタD5にシフトされる。

以上の処理により、レジスタD1～D5には、5個の数値が大ききの順に格納される。

第5図は、上述のソーティングを行うためのソーティング回路の一例を示し、第6図は、そのタイミングチャートである。レジスタD6を介された8ビット並列の入力データB1(係数データの交流成分)がレジスタD1に供給される。レジスタD6には、タイミングパルスLD0が供給され、入力データB1がタイミングパルスLD0と同期している。

レジスタD1に対してレジスタD2、D3、D4、D5が継続接続されている。これらのレジスタD1～D5は、パルスBLKPから遅延回路DL及びインバータIで形成されたクリアパルスMRで時点t0においてクリアされる。クリアパル

スMRでレジスタD1～D5の内容が全て0とされる。

レジスタD1の出力側とD2の入力側との間に、マルチプレクサM2が挿入される。同様に、レジスタD2とD3の間、レジスタD3とD4の間、レジスタD4とD5間にマルチプレクサM3、M4、M5が夫々挿入される。これらのマルチプレクサは、前段のレジスタの出力信号と入力データB1との一方を選択的に出力する。

マルチプレクサM2は、比較回路C1の出力信号で制御され、同様に、マルチプレクサM3、M4、M5が比較回路C2、C3、C4の出力信号で制御される。これらの比較回路C1～C4及びC5の一方の入力信号Pとして入力データB1が供給され、他方の入力信号QとしてレジスタD1～D5の内容が供給される。比較回路C1～C5の出力信号は、

($P \geq Q$)のときに“0”(ローレベル)

($P < Q$)のときに“1”(ハイレベル)

となる。

また、パルスMRで同時にセットされ、タイミングパルスLD0がイネーブル信号として供給されるレジスタF1～F5が設けられている。レジスタF1～F5の夫々からパルス信号LDEN1～LDEN5が発生する。更に、タイミングパルスLD0がDフリップフロップD17で1クロックの期間遅延され、タイミングパルスLD1が形成される。

パルス信号LDEN1と比較回路C1の出力信号がORゲートO11に供給される。ORゲートO11の出力信号とタイミングパルスLD1がORゲートO12に供給され、ORゲートO12の出力信号がレジスタD1に対して、イネーブル信号として供給される。イネーブル信号がローレベルでレジスタD1がイネーブル状態となる。レジスタD2のイネーブル信号は、ORゲートO21、O22で形成され、同様に、レジスタD3、D4及びD5の夫々のイネーブル信号がORゲートO31、O32、O41、O42、O51、O52で形成される。

この例では、入力データB1と共に、3ビット並列の入力データA1が供給される。この入力データA1は、ブロックソーティング回路14では、分割ブロック番号を示すものである。つまり、

(A1, B1) (A2, B2) ... (A5, B5)

のように、対で二つのデータが入力される。入力データA1に関しても、レジスタD11～D15とマルチプレクサM12～M15が設けられている。レジスタD11～D15とマルチプレクサM12～M15は、上述のレジスタD1～D5とマルチプレクサM2～M5と同様に制御され、従って、対の関係を保持したままでソーティングがされる。レジスタD11～D15の出力信号がシフトレジスタSRの並列入力端子に供給され、シフトレジスタSRからは、並びかえられた結果の分割ブロックの順序を示すデータ(3ビット×5)が読み出される。

サンプルソーティング回路26の場合では、ソーティングされた係数データを出力することが必要であり、レジスタD1～D5の内容がシフトレ

ジスタを介して取り出される。

上述のソーティング回路を構成する2個のレジスタとその周辺回路を抜き出して第7図に示す。入力された値をXで表し、レジスタDkにどのような値がロードされるかを説明する。

第1の判定

比較回路Ck-1の出力信号CMPk-1と比較回路Ckの出力信号CMPkが共に"0"の時には、 $(X \geq D_{k-1} > D_k)$ の大小関係がある。 $(X \geq D_{k-1})$ の場合には、少なくともDk以後のレジスタは、すべて上位のレジスタの値をシフトする必要があるので、マルチプレクサMkは、レジスタDk-1の内容を選択的に出力し、レジスタDkにマルチプレクサMkの出力がロードされる。

第2の判定

比較回路Ck-1の出力信号CMPk-1が"1"で、比較回路Ckの出力信号CMPkが"0"のときには、 $(D_{k-1} > X \geq D_k)$ の大小関係がある。この場合には、マルチプレクサMkは、入力データXを選択的に出力し、レジスタDkにXがロード

される。また、Dk以後は第1の判定で、レジスタの値がシフトされる。

第3の判定

比較回路Ck-1の出力信号CMPk-1と比較回路Ckの出力信号CMPkが共に"1"の時には、 $(D_k > X)$ であるので、レジスタDkの内容を変化させる必要がなく、ホールド状態とされる。この場合には、マルチプレクサMkの出力は、無関係である。

尚、比較回路Ck-1の出力信号CMPk-1が"0"で、比較回路Ckの出力信号CMPkが"1"の状態は、起こりえない。

上述のソーティング回路は、リアルタイムでソーティングを行うことができ、また、係数データのソーティングにより同時にアドレスをソーティングすることができる。

c. 他の実施例

第9図は、この発明の他の実施例を示す。DCT用のブロックが第10図Aに示すように、DC成分を除いて、第0ブロックから第5ブロック迄

の6個の分割ブロックに分割される。第10図Bに示すように、第4ブロックを設けず、5個の分割ブロックを形成しても良い。第10図において、□で囲んだ数字は、分割ブロックの番号を示し、●で示すデータに夫々付された数字が各ブロック内の走査の順序を示している。

前述の一実施例では、8個の分割ブロックの全てがソーティングされたが、他の実施例では、第10図Aにおける(0~4)の分割ブロックのみがブロックソーティング回路14でソーティングされる。5個の分割ブロックの順序は、(51=120通り)となり、この順序は、7ビットで表現される。ソーティング回路15の出力が供給されるROM18からは、分割ブロックの順序を示す7ビットのデータが発生する。ROM18から発生した順序を示すデータが可変長符号化回路24で送信データに付加される。

また、重み付け回路7の出力信号が最大値検出回路17に供給される。最大値検出回路17では、(0~4)のブロック番号を有する5個の分割ブ

ロックの係数データの中の最大値が検出されると共に、第5ブロックのデータの中で、検出された最大値より大きいデータの個数が検出される。検出された最大値がサンプルソーティング回路26の振幅のソーティングを行うソーティング回路27に供給され、最大値より大きいデータの個数を示すデータが可変長符号化回路24で送信データに付加される。

以上の準備をしておき、配列変換メモリ20からは、まず、第5ブロックのデータを読み出し、検出された最大値以上のデータをアドレスと共に、ソーティングし、可変長符号化回路24で符号化する。次に第0~第4ブロックのデータがブロックソーティングされた順序でサンプルソーティング回路26に供給される。そして、アドレスとデータの差分値が夫々検出され、差分値が可変長符号化回路24で符号化される。

可変長符号化回路24からは、第11図に示す送信フォーマットのデータが出力される。第11図は、1個のDCT用ブロックと対応する伝送デ

ータを示す。先頭には、直流成分61が位置し、次に第5ブロックに最大値より大きいデータがあるかどうかを示す1ビットのフラグ62が付加される。フラグ62が“1”の場合では、最大値より大きい成分があることを意味し、フラグ62が“0”の場合では、最大値より大きい成分が無いことを意味する。次に、ソーティングされた分割ブロックの順序を示す7ビットのコード63が位置し、その後に最大値より大きい第5ブロックのデータ数を示すコード64が位置する。65は、最大値より大きい第5ブロックの可変長符号化されたデータを示し、66が第0～第4ブロックの可変長符号化されたデータを示す。前述の実施例と同様に、最後には、データを区切りを示すコード67が付加される。

d. 更に他の実施例

第12図は、この発明の更に他の実施例を示し、第13図がブロック分割を示す。第13図に示すように、 (8×8) のDCT用のブロックが (2×2) のブロックに分割される。第13図におい

時に“1”となり、逆のときに“0”となる送信データ判定フラグが比較回路45から発生する。“1”のフラグは、送信が必要なことを意味し、“0”のフラグは、送信が不要なことを意味する。比較回路46からのフラグがレジスタ47にホールドされる。可変長符号化回路45の出力信号の中で、フラグが“1”のデータのみが伝送される。

44で示す情報付加回路には、アドレス発生回路29からの分割ブロックのアドレスと可変長符号化回路45の出力信号と、レジスタ47からのフラグと、遅延回路43からの直流成分とが供給される。直流成分は、DCT変換回路2に接続された分離回路42で分離され、時間合わせのための遅延回路43から取り出される。情報付加回路44により第14図に示す送信データが形成される。

第14図は、1個のDCT用ブロックと対応する伝送データを示す。先頭には、直流成分71が位置し、次に16個の分割ブロックの夫々のブロック番号72a, 72b・・・と送信データ判定

て、□で囲んだ数字が分割ブロックの番号を示し、各分割ブロック内では、数字を示した順序で走査される。この分割ブロックの単位でブロックソーティングがなされる。但し、第0ブロックは、DC成分が含まれるために、3個のデータしかない。ブロックソーティングの時に、第0ブロックの累積値は、 $(4/3)$ 倍され、他のブロックの累積値と比較される。

ブロックソーティング回路14でのブロックソーティングの結果がROM23及びアドレス発生回路29に供給される。アドレス発生回路29からは、ソーティングされた順序を示す分割ブロックのアドレスが発生する。ROM23から発生する読み出しアドレスに従って配列変換メモリ20からデータが読み出される。配列変換メモリ20の出力データが絶対値に変換されてから可変長符号化回路45及び比較回路46に供給される。

比較回路46には、バッファコントローラ40からスレッシュホールドレベルが供給される。係数データの絶対値がスレッシュホールドレベルより大きい

フラグ73a, 73b・・・と可変長符号化されたデータ74a, 74b・・・が位置し、前述の実施例と同様に、最後には、データを区切りを示すコード75が付加される。第14図では、第1ブロックのアドレス0及び3のデータがスレッシュホールドより大きい時のデータの具体例が示されている。この更に他の実施例では、送信データ判定フラグが1ビットで送信するデータと送信しないデータとを区別でき、また、差分値を形成していないので、復号側の構成が簡単である。

(発明の効果)

この発明は、変換符号化で発生した係数データが元のブロックより小さい複数のブロックに分割され、分割ブロックの単位でソーティングがされ、次に、サンプル単位のソーティングがなされる。従って、ジグザク走査の順序しかない従来の方式と比して、アドレスの差分値を小とでき、効率的にデータ圧縮が可能となる。

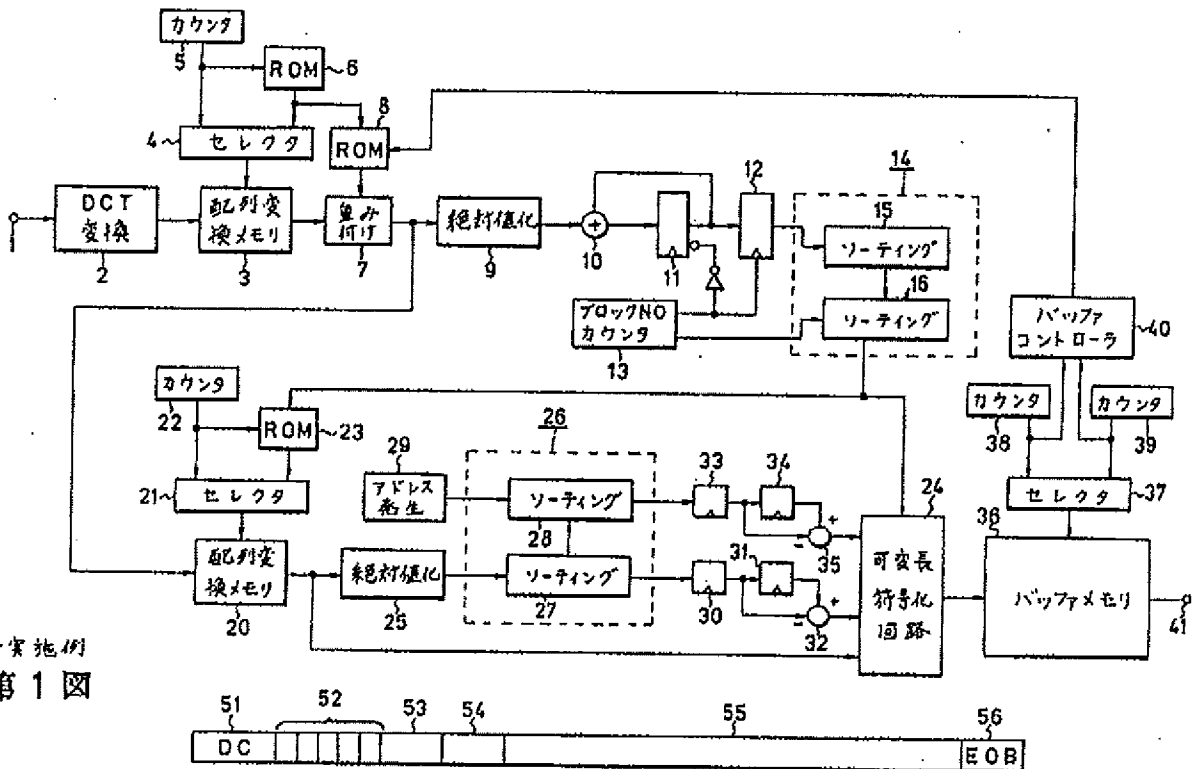
4. 図面の簡単な説明

第1図はこの発明の一実施例のブロック図、第2図はこの発明の一実施例のブロック分割を示す略線図、第3図はこの発明の一実施例の送信フォーマットを示す略線図、第4図はソーティングの説明に用いる略線図、第5図及び第6図はこの発明に使用できるソーティング回路の一例のブロック図及びタイミングチャート、第7図及び第8図はソーティング回路の説明に用いるブロック図及び略線図、第9図はこの発明の他の実施例のブロック図、第10図はこの発明の他の実施例のブロック分割を示す略線図、第11図はこの発明の他の実施例の送信フォーマットを示す略線図、第12図はこの発明の更に他の実施例のブロック図、第13図はこの発明の更に他の実施例のブロック分割を示す略線図、第14図はこの発明の更に他の実施例の送信フォーマットを示す略線図、第15図及び第16図は従来のデータ処理回路の説明に用いるブロック図及び略線図である。

- 2 : DCT変換回路、
- 3, 20 : 配列変換メモリ、
- 14 : ブロックソーティング回路、
- 24 : 可変長符号化回路、
- 26 : サンプルソーティング回路、
- 36 : バッファメモリ、
- 44 : 情報付加回路。

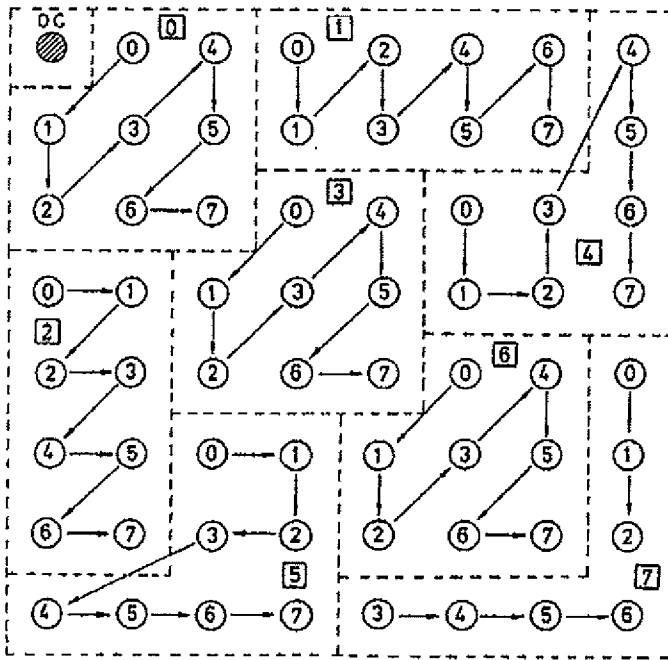
代理人 弁理士 杉 浦 正 知

図面における主要な符号の説明

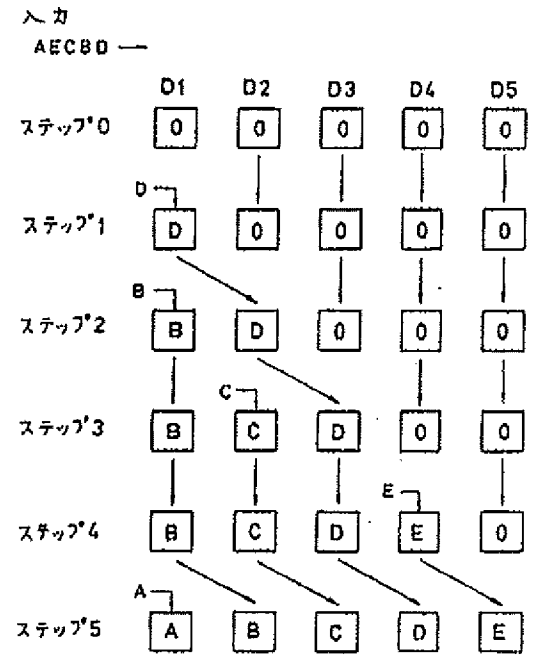


一実施例
第1図

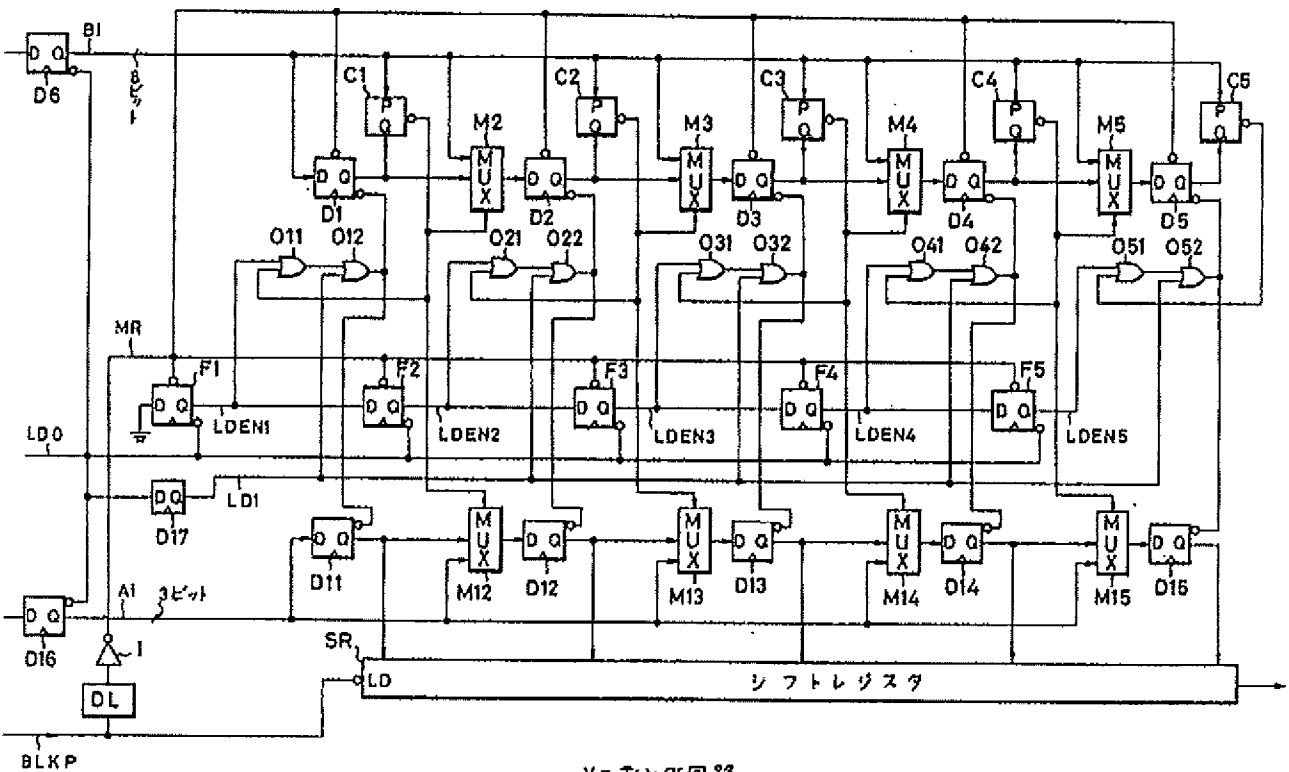
送信フォーマット
第3図



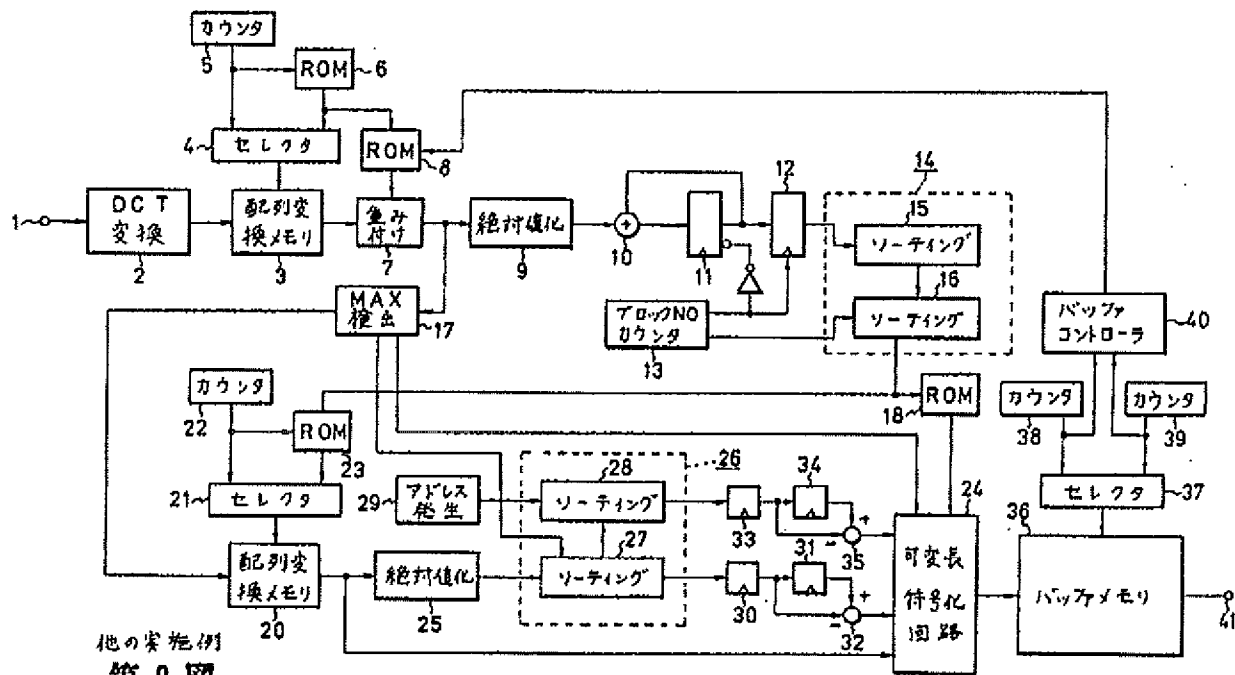
ブロック分割
第2図



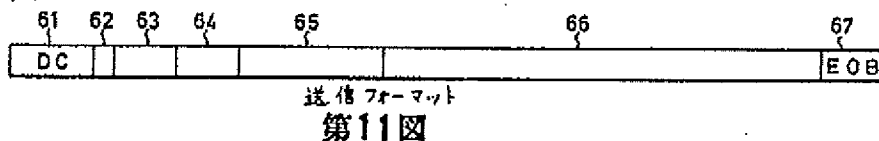
ソートリングのステップ
第4図



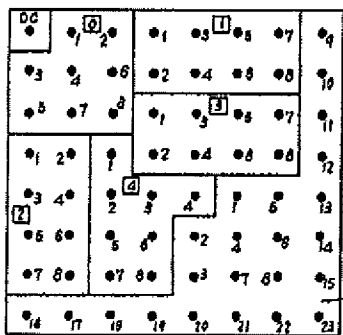
ソートリング回路
第5図



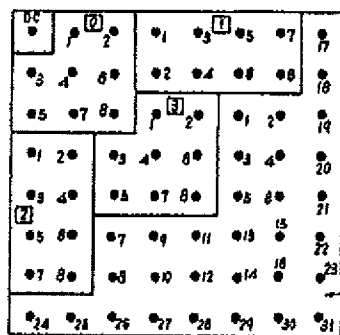
他の実施例
第9図



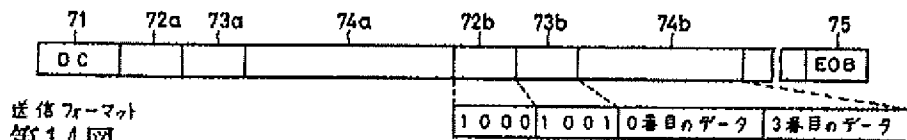
送信フォーマット
第11図



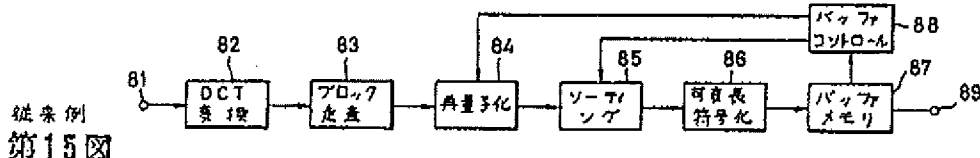
ブロック分割
第10図



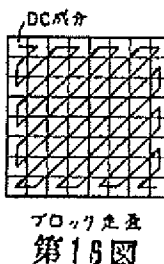
ブロック分割
第13図



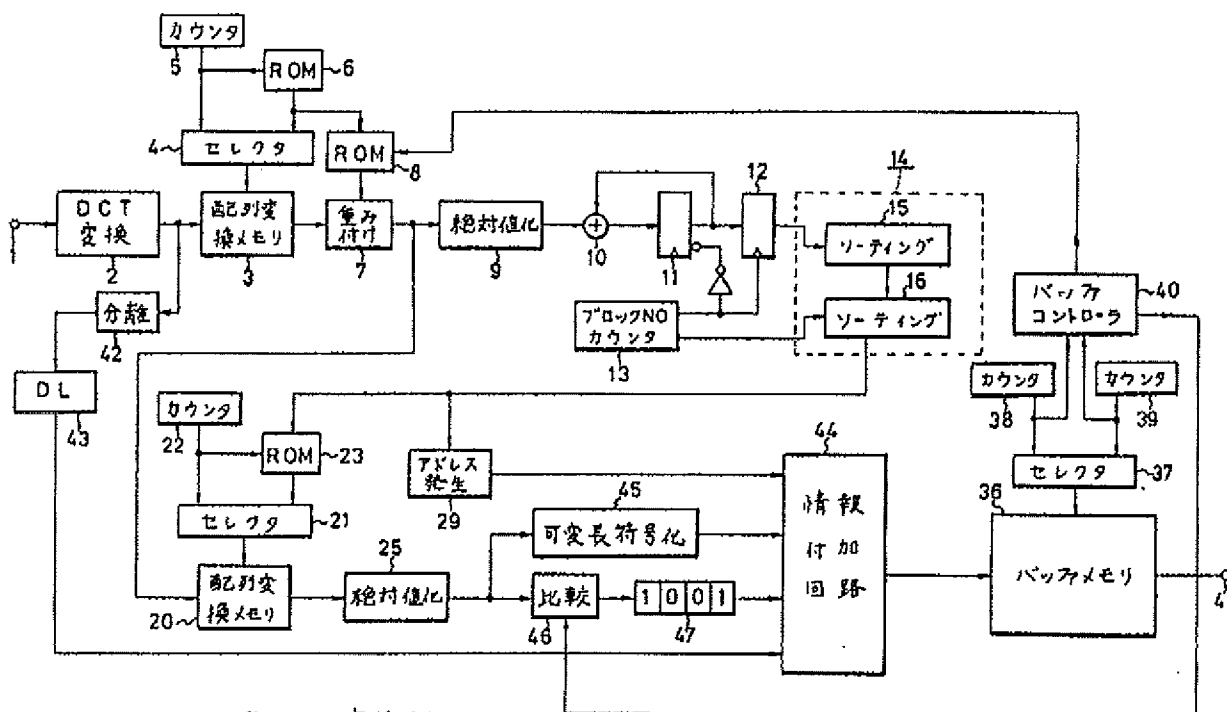
送信フォーマット
第14図



従来例
第15図



ブロック分割
第16図



更に他の実施例
第12図